|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **学 期** | 2020-2021学年第1学期 | | | | **实验日期** | | 2020/11/17 | | |
| **学 院** | 信息学部 | | | | **专 业** | | 计算机类 | | |
| **班 级** | 190741 | | **学 号** | | 19030419 | | **姓 名** | | 王昕 |
| **组 号** | 24 | | **学 号** | | 19074104 | | **姓 名** | | 王佳玮 |
| **评 阅 内 容** | | | | | | | | | |
| **实验预习** | | **实验原理** | | **详细设计** | | **实验结果** | | **成 绩** | |
|  | |  | |  | |  | |  | |
|  | | | | | | | | | |
| **题 目** | 实验6：时序电路设计—流水灯 | | | | | | | | |

**一．实验目的**

1.理解状态机的工作原理。

2.学会使用硬件描述语言设计编写简单的状态机程序。

3.了解使用硬件描述语言编写Tesebench测试程序的方法。

**二．实验任务及要求**

任务：利用状态机实现一个流水灯。

要求：1.输出用LED显示，显示模式为LED灯从左至右或从右至左轮流点亮，也可自定义显示模式。根据实现模式画出状态图。

1. **实验原理**

**module liushuideng\_0741\_24 (out,clk);**

**input clk;**

**output [7:0]out;**

**reg [7:0]out;**

**reg [2:0]state;**

**parameter s0=0,s1=1,s2=2,s3=3,s4=4,s5=5,s6=6,s7=7;**

**reg clk\_1hz;**

**reg [31:0]cnt;**

**always @ (posedge clk)**

**begin**

**if(cnt==32'd5)**

**begin**

**clk\_1hz<=~clk\_1hz;**

**cnt<='b0;**

**end**

**else**

**begin**

**cnt<= cnt +'b1;**

**end**

**end**

**always @ (state)**

**case(state)**

**s0:out=8'b11111110;**

**s1:out=8'b11111101;**

**s2:out=8'b11111011;**

**s3:out=8'b11110111;**

**s4:out=8'b11101111;**

**s5:out=8'b11011111;**

**s6:out=8'b10111111;**

**s7:out=8'b01111111;**

**default out=8'b1111111;**

**endcase**

**always @ (posedge clk\_1hz)**

**case(state)**

**s0:state<=s1;**

**s1:state<=s2;**

**s2:state<=s3;**

**s3:state<=s4;**

**s4:state<=s5;**

**s5:state<=s6;**

**s6:state<=s7;**

**s7:state<=s0;**

**default:state<=s0;**

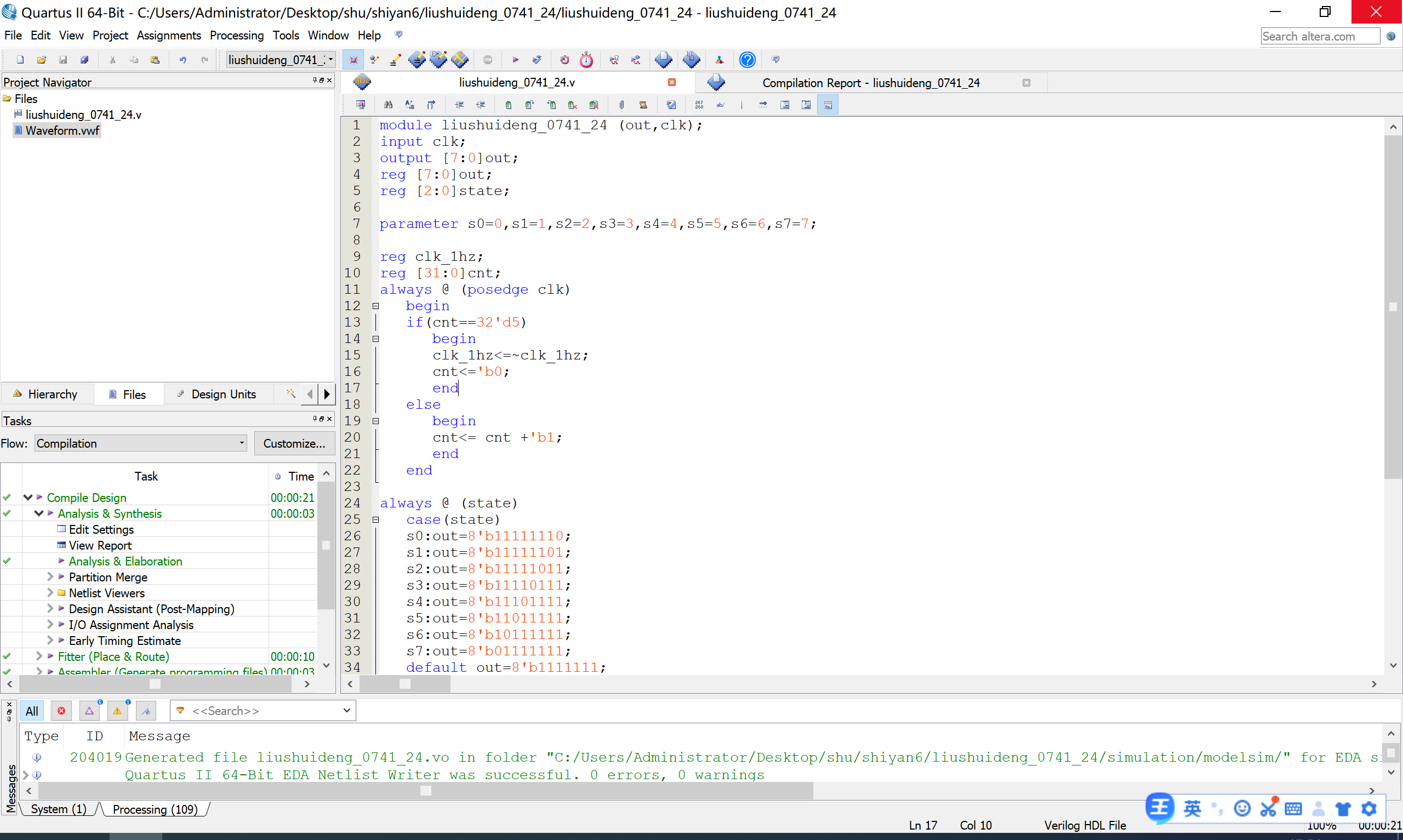
**endcase**

**endmodule**

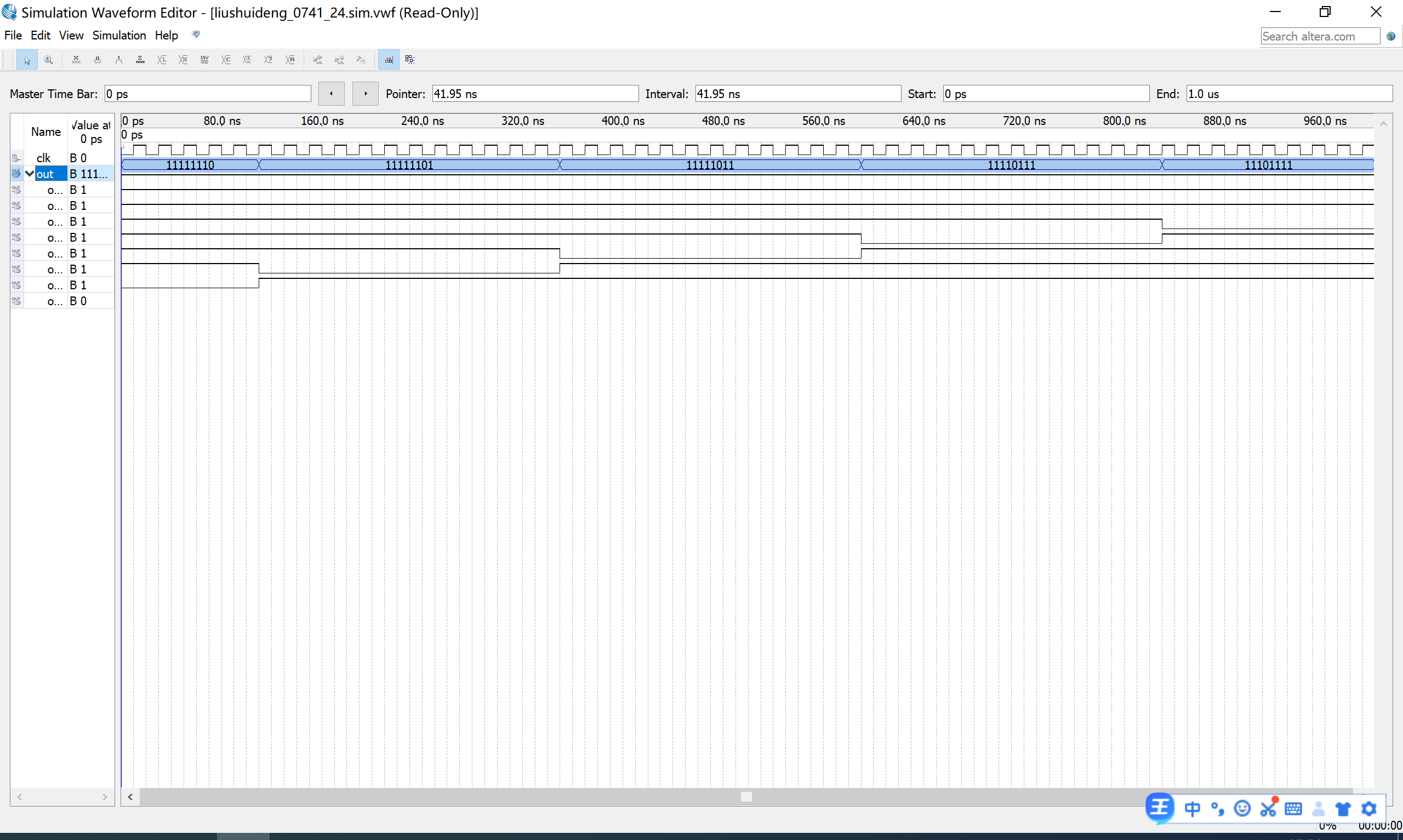
**四．详细设计**

1、电路实现

根据要求，数据输入端如程序所示，clk和reset为输入端口，通过clk连接时钟脉冲信号，随时间的流逝，从而使对应的out值控制对应的LED灯亮起。

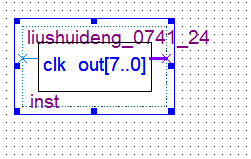


2、仿真

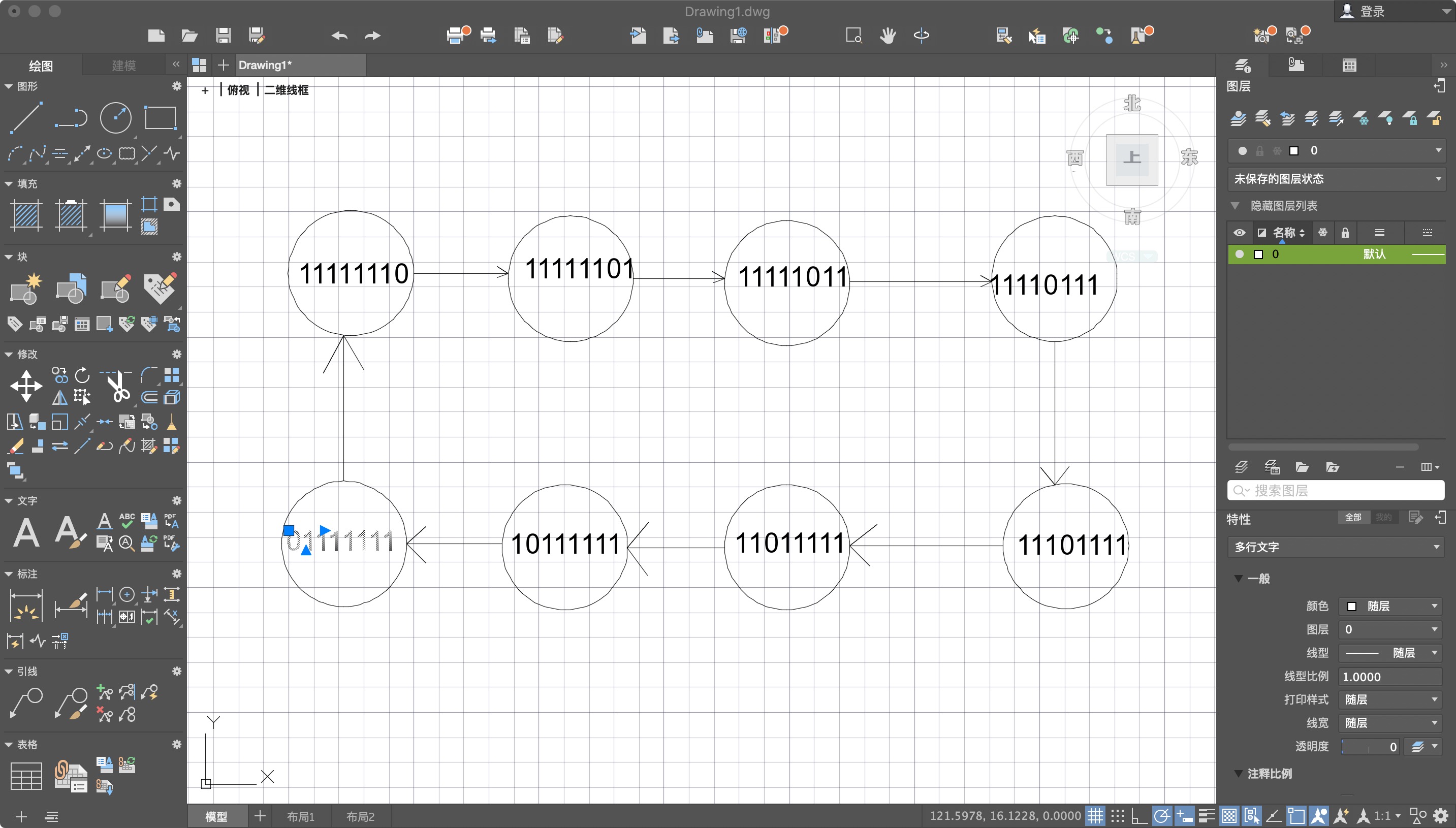


电路设计满足实验要求。但由于clk需要上升25000000次输出才会对应变化，而clk’最小周期只能设为0.001ns，故波形图并不能很好反应电路设计是否成功。其中1表示对应LED灯亮，0灭。

3.封装图

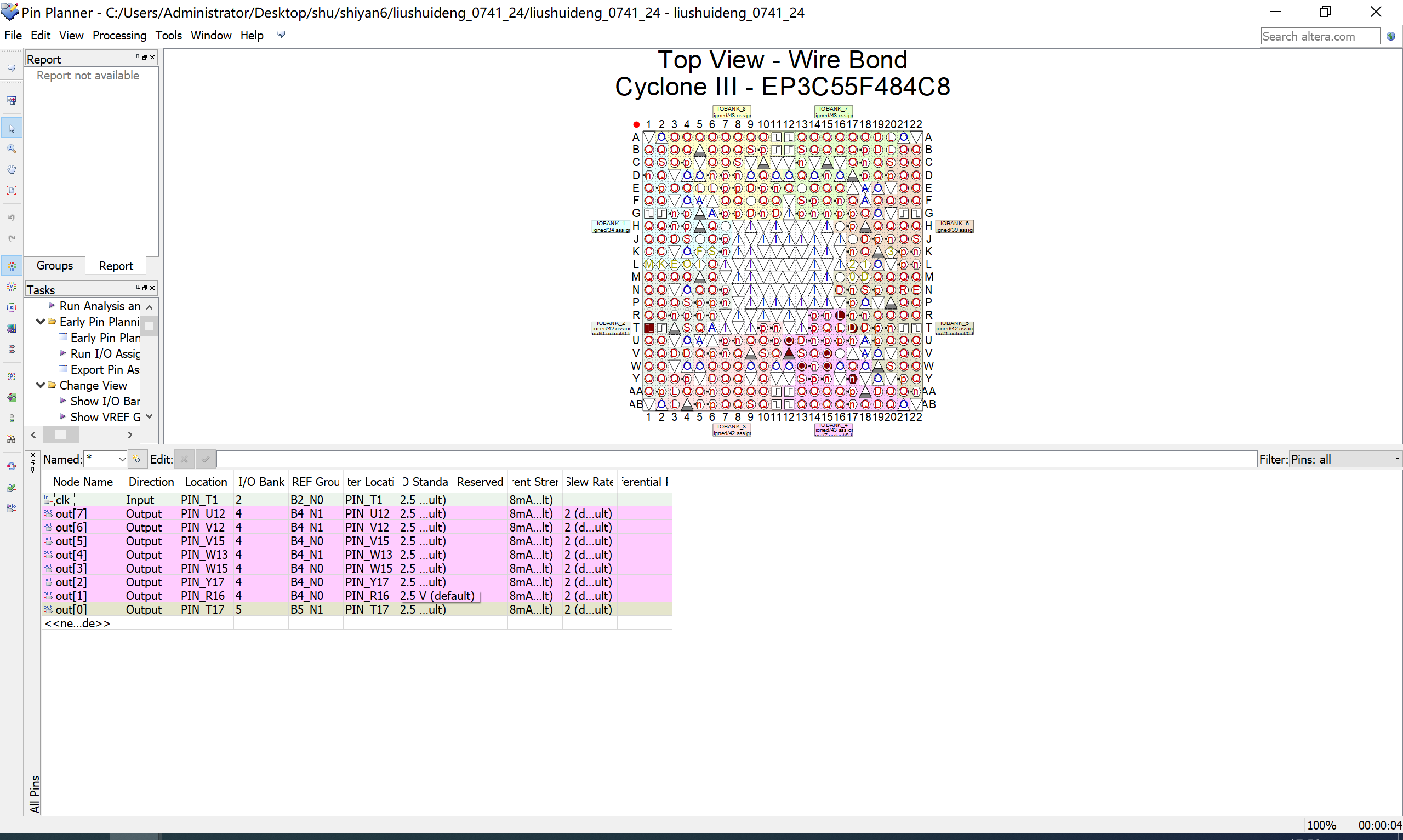


4.状态图



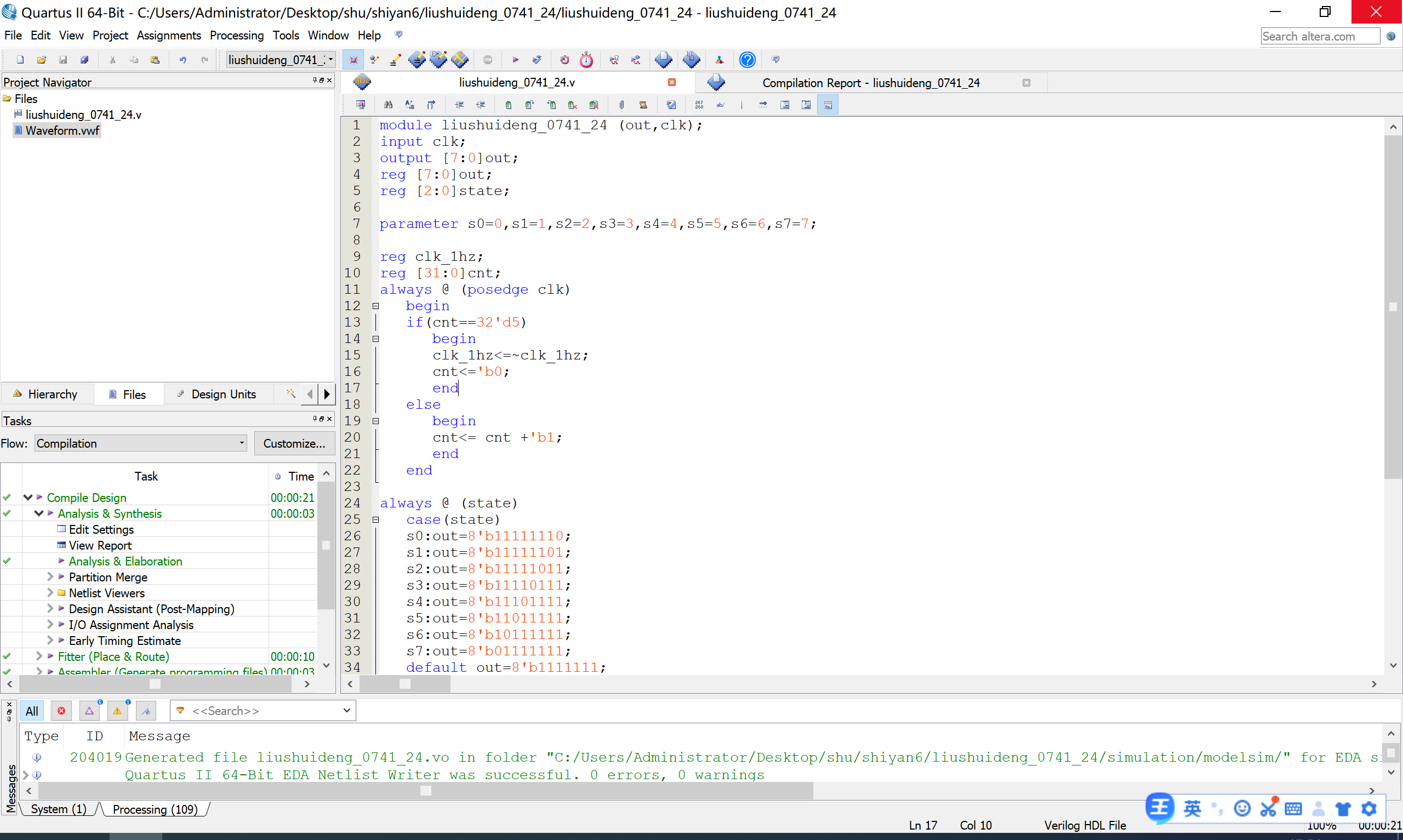
**五．实验结果**

（1）引脚分配



1. 实验现象

下载到实验台上，led等自动从左到右开始依次闪动。



拓展实验：让自己的学号19030419依次显示在七段数码管上。

module wxwjwlsd(out,clk,sel);

input clk;

output [6:0]out;

output sel;

reg [6:0]out;

reg [3:0]state;

assign sel=1'b0;

parameter s0=0,s1=1,s2=2,s3=3,s4=4,s5=5,s6=6,s7=7;

reg clk\_1hz;

reg [31:0]cnt;

always @ (posedge clk)

begin

if(cnt==32'd25\_000\_000)

begin

clk\_1hz<=~clk\_1hz;

cnt<='b0;

end

else

begin

cnt<= cnt +'b1;

end

end

always @ (state)

case(state)

s0:out=7'b0110000;//1

s1:out=7'b1111011;//9

s2:out=7'b1111110;//0

s3:out=7'b1111001;//3

s4:out=7'b1111110;//0

s5:out=7'b0110011;//4

s6:out=7'b0110000;//1

s7:out=7'b1111011;//9

default out=4'b11111111;

endcase

always @ (posedge clk\_1hz)

case(state)

s0:state<=s1;

s1:state<=s2;

s2:state<=s3;

s3:state<=s4;

s4:state<=s5;

s5:state<=s6;

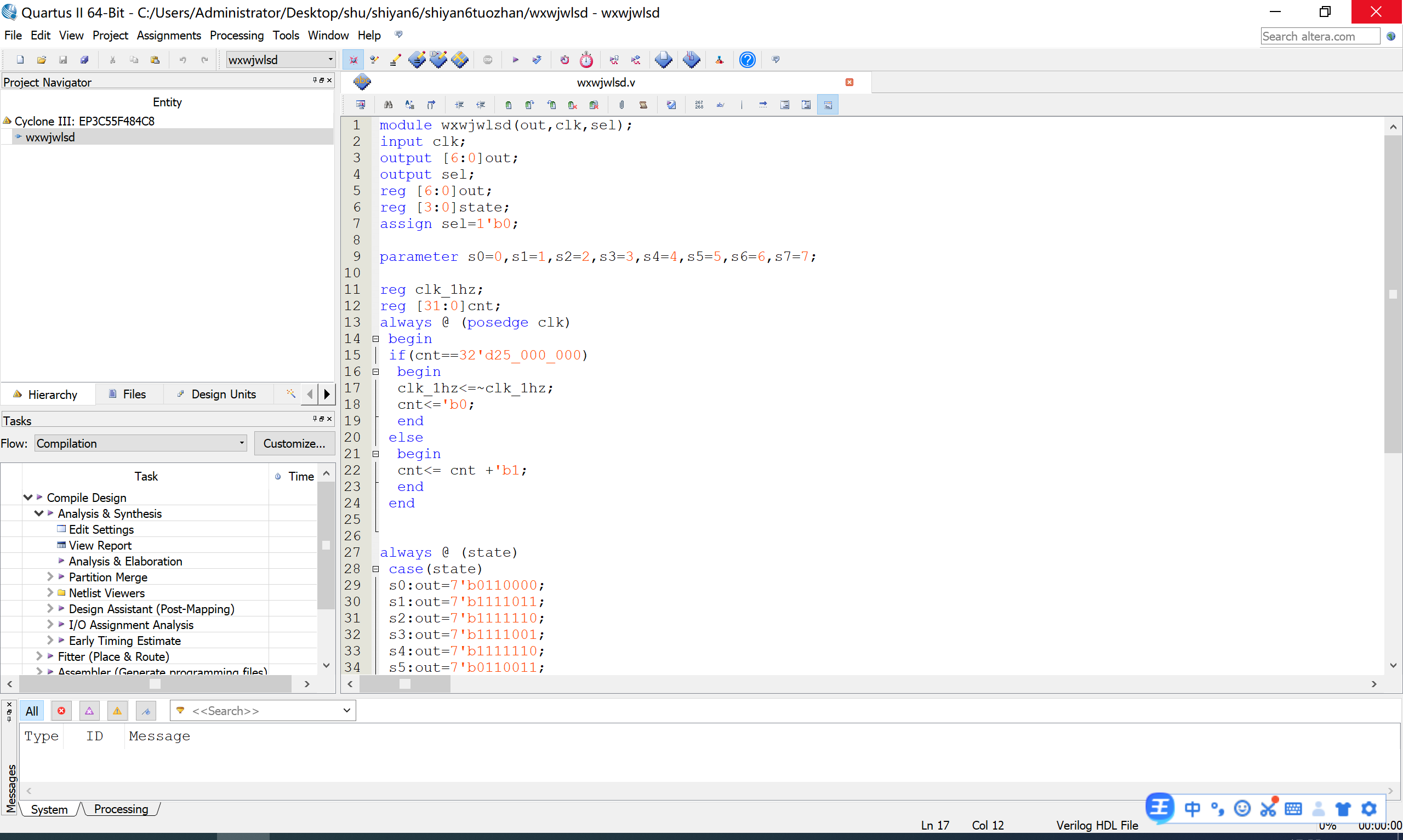
s6:state<=s7;

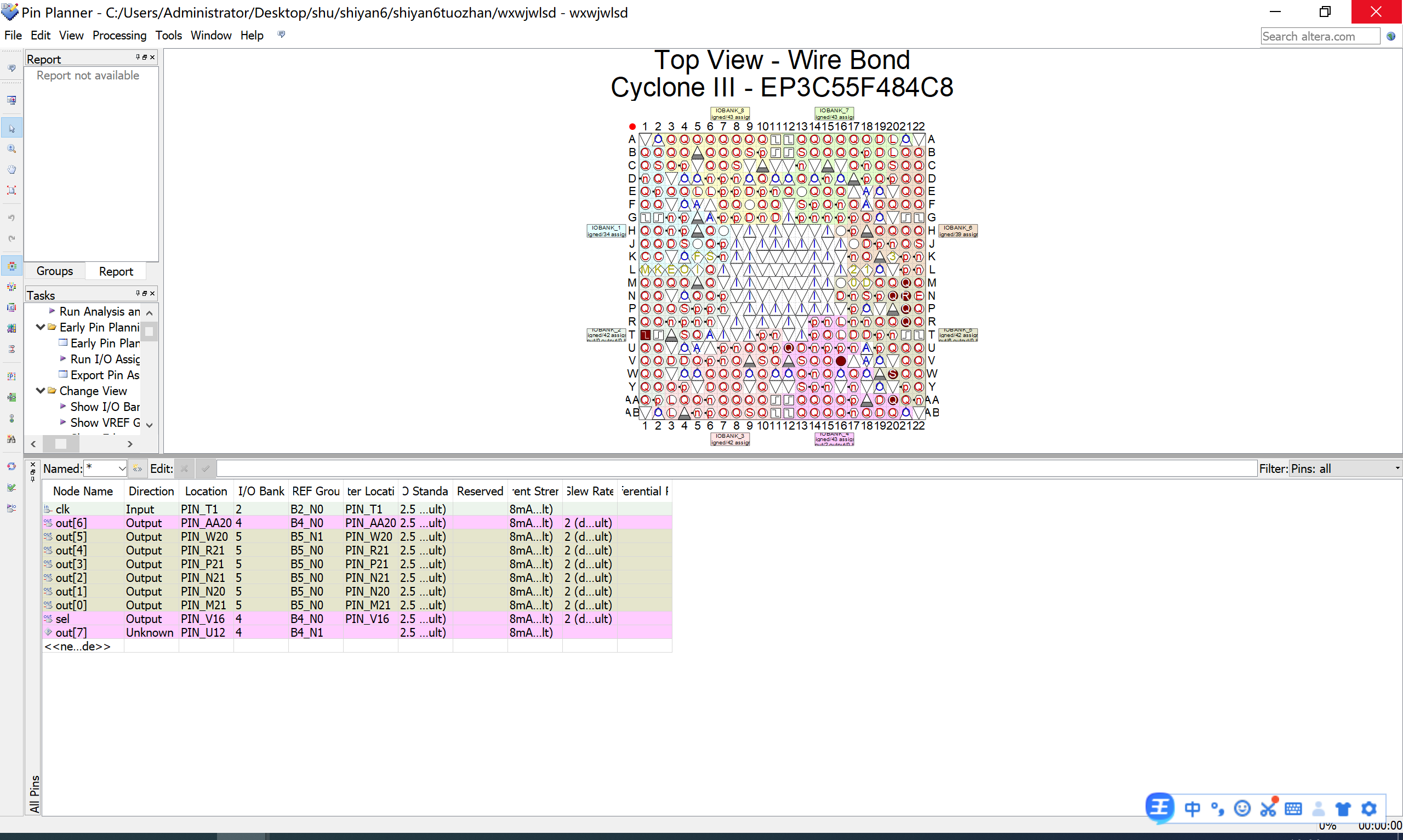
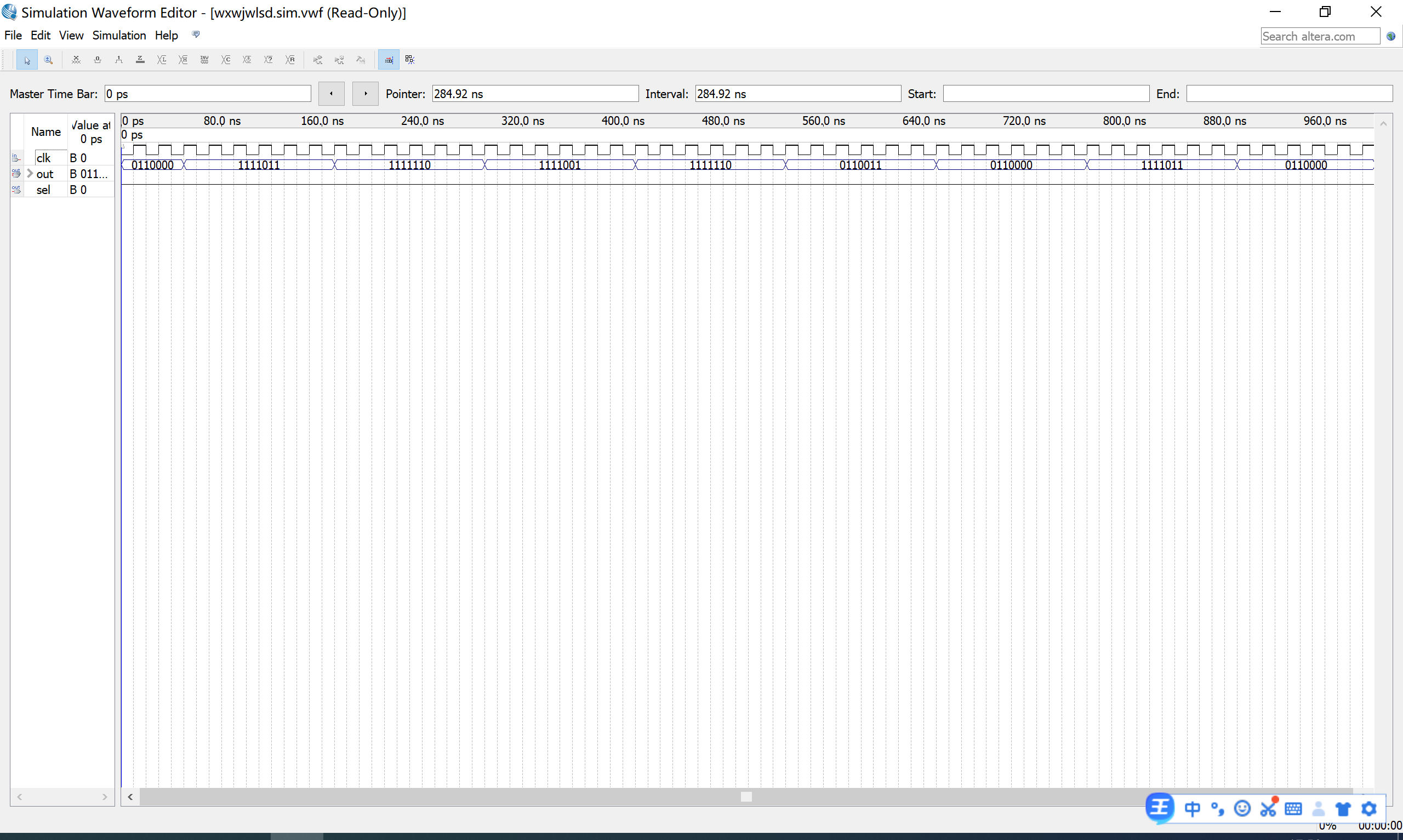
s7:state<=s0;

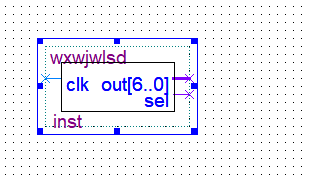
default:state<=s0;

endcase

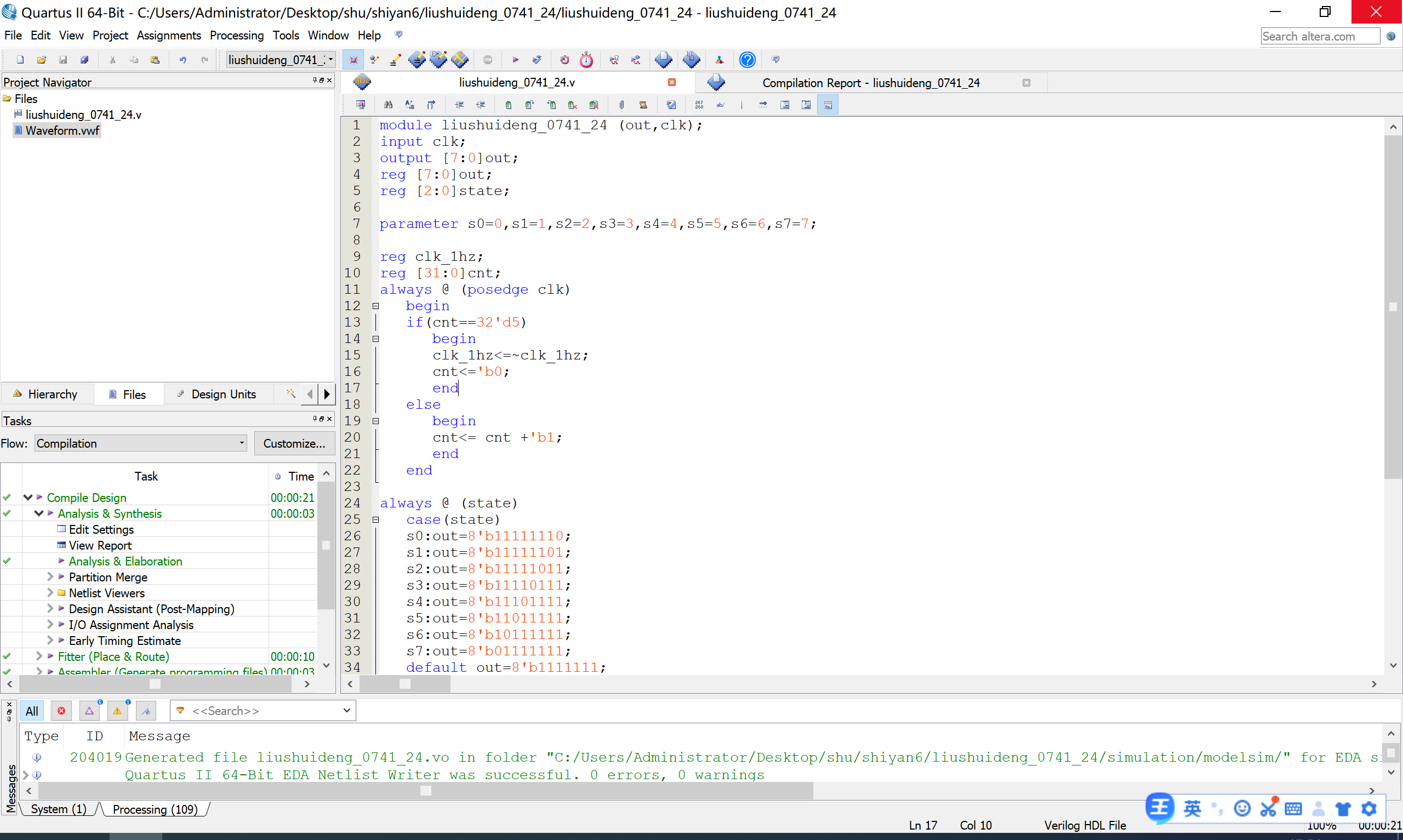
Endmodule

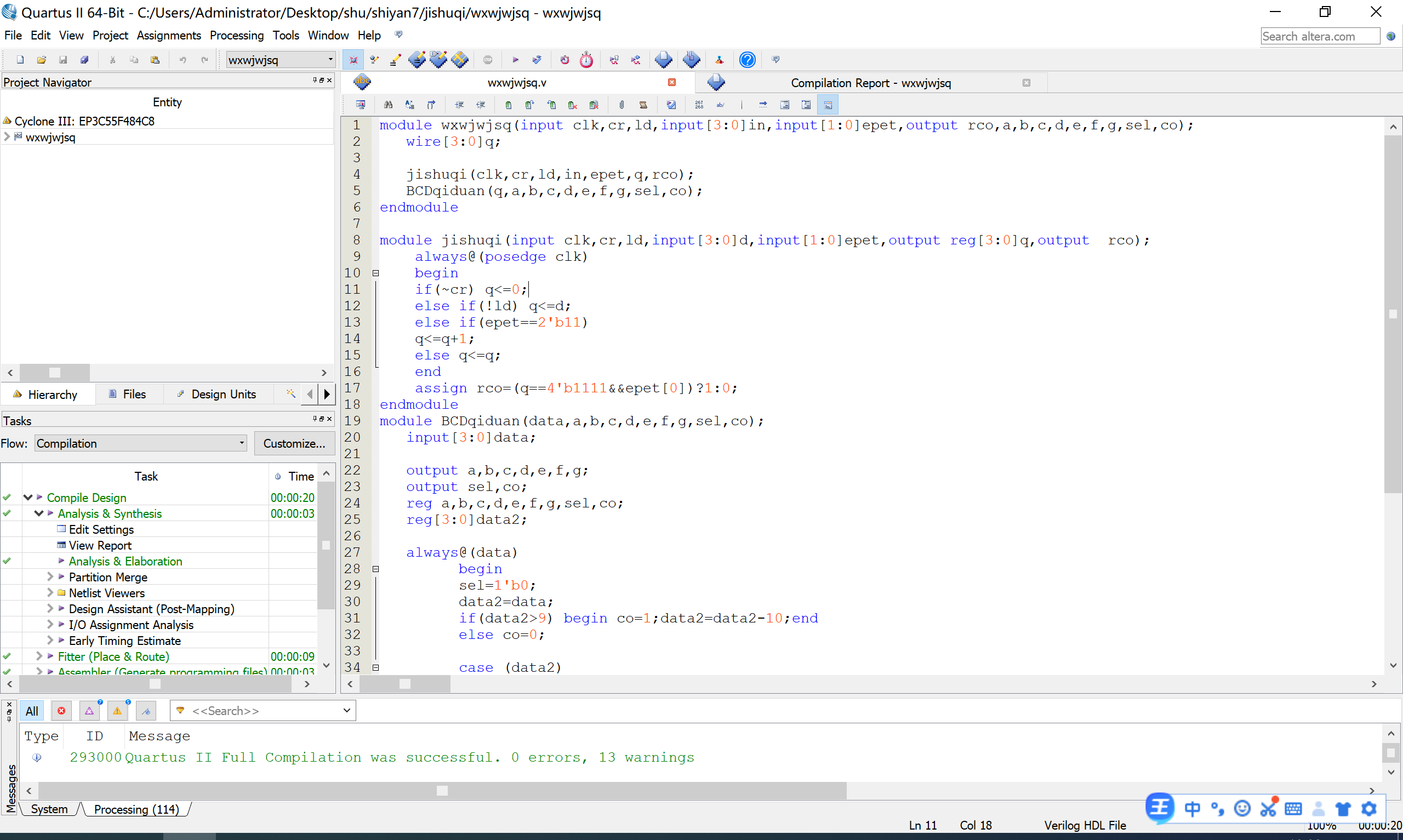






实验现象：19030419依次显示在七段数码馆上。





附图：顶层模块